

TRANSPORT STREAM PROCESSOR

Patent Number: JP2000083064
Publication date: 2000-03-21
Inventor(s): OKAZAKI WAKAHIKO
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD
Requested Patent: ☐ [JP2000083064](#)
Application Number: JP19990181925 19990628
Priority Number(s):
IPC Classification: H04L12/56; H04J3/00; H04J3/04; H04N7/08; H04N7/081; H04N7/24; H04N7/16
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To make a circuit scale small and also to reduce the burden on a CPU.
SOLUTION: When plural transport streams are inputted to plural transport packet processing circuits 21 and 22, the circuits 22 select image and sound data from a specified transport stream and any of data of service, etc., except an image and sound and output them to a memory controller 23. Also, the transport packet processing circuit 21 selects only data of service, etc., except an image and sound in a specified transport stream, outputs them to the memory controller 23, selects image and sound data and any of data of service, etc., except an image and sound in the specified transport stream and sends them to an external interface 25. The memory controller 23 writes plural pieces of inputted data in a common memory 24 while performing arbitration.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-83064

(P 2000-83064 A)

(43) 公開日 平成12年3月21日 (2000.3.21)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H04L 12/56		H04L 11/20 102 A	
H04J 3/00		H04J 3/00 M	
3/04		3/04 A	
H04N 7/08		H04N 7/16 Z	
7/081		7/08 Z	

審査請求 未請求 請求項の数13 O L (全21頁) 最終頁に続く

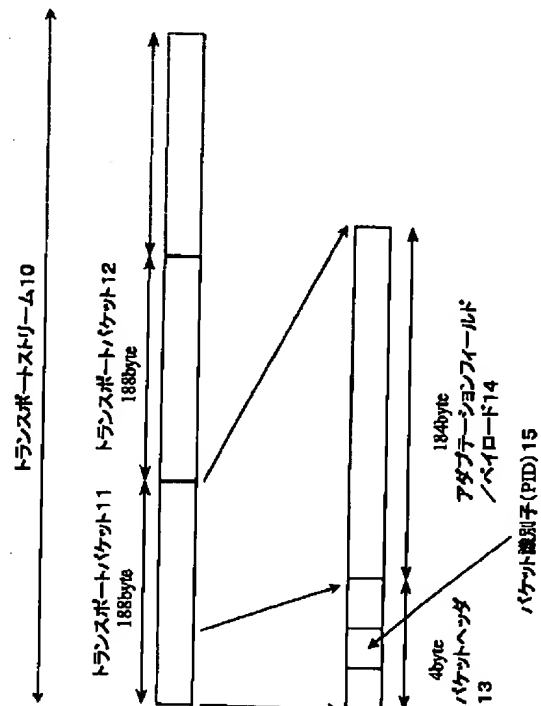
(21) 出願番号	特願平11-181925	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成11年6月28日 (1999.6.28)	(72) 発明者	岡崎 若彦 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31) 優先権主張番号	特願平10-183522	(74) 代理人	100076174 弁理士 宮井 暎夫
(32) 優先日	平成10年6月30日 (1998.6.30)		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 トランスポートストリーム処理装置

(57) 【要約】

【課題】 回路規模を小さくするとともに、CPUの負担を軽減する。

【解決手段】 複数のトランスポートストリームを複数のトランスポートパケット処理回路21, 22に入力すると、トランスポートパケット処理回路22は、特定のトランスポートストリームの中から画像・音声データと画像・音声以外のサービス等のデータの中の何れかを選択してメモリコントローラ23へ出力する。また、トランスポートパケット処理回路21は、特定のトランスポートストリームの中から画像・音声以外のサービス等のデータのみを選択してメモリコントローラ23に出力し、特定のトランスポートストリームの中から画像・音声データと画像・音声以外のサービス等のデータの何れかを選択して外部インターフェース25へ送る。メモリコントローラ23は入力された複数のデータを調停を行いながら共通メモリ24に書き込む。



【特許請求の範囲】

【請求項 1】 複数のトランスポートストリームから必要なデータを各々選択する複数のトランスポートパケット処理手段と、共通メモリと、前記複数のトランスポートパケット処理手段から各々供給される複数のデータを前記複数のトランスポートパケット処理手段からのメモリ書き込み要求を調停しながら前記共通メモリに書き込むメモリ制御手段とを備えたトランスポートストリーム処理装置。

【請求項 2】 トランスポートストリームが画像・音声データと画像・音声以外のサービス等のデータを含み、複数のトランスポートパケット処理手段のうちの一部のトランスポートパケット処理手段が、前記トランスポートストリームにおける画像・音声データと画像・音声以外のサービス等のデータの中から必要なデータを選択し、複数のトランスポートパケット処理手段の中の残りのトランスポートパケット処理手段が、前記トランスポートストリームにおける画像・音声データ以外のサービス等のデータのみを選択するようにしたことを特徴とする請求項 1 記載のトランスポートストリーム処理装置。

【請求項 3】 トランスポートストリームが画像・音声データと画像・音声以外のサービス等のデータを含み、外部へ前記トランスポートストリームを出力する外部出力手段を設け、複数のトランスポートパケット処理手段のうちの少なくとも一部のトランスポートパケット処理手段が、前記トランスポートストリームにおける画像・音声データと画像・音声以外のサービス等のデータの中から必要な第 1 のデータを選択してメモリ制御手段へ供給するとともに、前記第 1 のデータとは独立して前記トランスポートストリームにおける画像・音声データと画像・音声以外のサービス等のデータの中から必要な第 2 のデータを選択して前記外部出力手段へ供給するようにしたことを特徴とする請求項 1 記載のトランスポートストリーム処理装置。

【請求項 4】 メモリ制御手段が外部の CPU から共通メモリへのアクセスを制御するようにしたことを特徴とする請求項 1 記載のトランスポートストリーム処理装置。

【請求項 5】 共有メモリが CPU のプログラム・データ領域を有することを特徴とする請求項 4 記載のトランスポートストリーム処理装置。

【請求項 6】 メモリ制御手段が外部の AV デコーダから共通メモリへのアクセスを制御するようにしたことを特徴とする請求項 1 記載のトランスポートストリーム処理装置。

【請求項 7】 共有メモリが AV デコーダのフレームメモリ領域を有することを特徴とする請求項 6 記載のトランスポートストリーム処理装置。

【請求項 8】 複数のトランスポートストリームをそれぞれバッファリングする複数のバッファメモリと、

前記複数のバッファメモリから出力されるトランスポートストリームを選択するセレクトと、

前記セレクトで選択されたトランスポートストリームが書き込まれるローカルメモリと、

前記ローカルメモリから出力されるトランスポートパケットから PID フィルタリング等を行い必要なデータを取得するトランスポートパケット処理回路と、

前記トランスポートパケット処理回路への動作クロックの供給を制御するクロックコントローラと、

10 前記複数のバッファメモリと前記セレクトと前記ローカルメモリとを制御し、前記ローカルメモリのトランスポートパケット出力が前記複数のバッファメモリのうちのどのバッファメモリから出力されているかを前記トランスポートパケット処理回路における必要なデータを選択のために前記トランスポートパケット処理回路に通知し、前記ローカルメモリから前記トランスポートパケット処理回路へのトランスポートパケットデータの入力開始および入力終了を前記クロックコントローラに通知するローカルメモリコントローラとを備え、

20 前記ローカルメモリコントローラにおける前記複数のバッファメモリと前記セレクトと前記ローカルメモリとの制御は、前記複数のバッファメモリがオーバーフローしないように前記セレクトの選択状態を切り替えながら前記複数のバッファメモリのデータを前記ローカルメモリに書き込み、前記ローカルメモリに書き込まれたデータがトランスポートパケット単位になったときに前記ローカルメモリに書き込まれたデータを前記トランスポートパケット処理回路へ出力し、前記ローカルメモリに蓄積されているデータがトランスポートパケット単位より小さくなったときに前記ローカルメモリに書き込まれたデータの

30 前記トランスポートパケット処理回路への出力を停止するように行い、
前記クロックコントローラは、前記ローカルメモリコントローラからトランスポートパケットデータの入力開始の通知を受けると、クロックの前記トランスポートパケット処理回路への供給を開始し、トランスポートパケットデータの入力終了の通知を受けると、前記クロックの前記トランスポートパケット処理回路への供給を停止することを特徴とするトランスポートストリーム処理装置。

40 【請求項 9】 クロックコントローラは、外部の CPU から値を設定できるレジスタを有し、前記レジスタの設定値によりクロックの周波数を制御することができ、前記クロックの供給の開始・停止に代え、前記ローカルメモリコントローラからトランスポートパケットデータの入力開始の通知を受けると、前記クロックの周波数を高くし、トランスポートパケットデータの入力終了の通知を受けると、前記クロックの周波数を低くすることを特徴とする請求項 8 記載のトランスポートストリーム処理装置。

【請求項 10】 複数のトランスポートストリームを P I D フィルタリングして必要なトランスポートストリームをそれぞれ出力する複数の P I D フィルタと、前記複数の P I D フィルタから出力されるトランスポートストリームをそれぞれバッファリングする複数のバッファメモリと、前記複数のバッファメモリから出力されるトランスポートストリームを選択するセクタと、前記セクタで選択されたトランスポートストリームが書き込まれるローカルメモリと、前記ローカルメモリから出力されるトランスポートパケットから必要なデータを取得するトランスポートパケット処理回路と、前記トランスポートパケット処理回路への動作クロックの供給を制御するクロックコントローラと、前記複数のバッファメモリと前記セクタと前記ローカルメモリとを制御し、前記ローカルメモリのトランスポートパケット出力が前記複数のバッファメモリのうちのどのバッファメモリから出力されているかを前記トランスポートパケット処理回路における必要なデータの選択のために前記トランスポートパケット処理回路に通知し、前記ローカルメモリから前記トランスポートパケット処理回路へのトランスポートパケットデータの入力開始および入力終了を前記クロックコントローラに通知するローカルメモリコントローラとを備え、前記ローカルメモリコントローラにおける前記複数のバッファメモリと前記セクタと前記ローカルメモリとの制御は、前記複数のバッファメモリがオーバーフローしないように前記セクタの選択状態を切り替えながら前記複数のバッファメモリのデータを前記ローカルメモリに書き込み、前記ローカルメモリに書き込まれたデータがトランスポートパケット単位になったときに前記ローカルメモリに書き込まれたデータを前記トランスポートパケット処理回路へ出力し、前記ローカルメモリに蓄積されているデータがトランスポートパケット単位より小さくなったときに前記ローカルメモリに書き込まれたデータの前記トランスポートパケット処理回路への出力を停止するように行い、前記クロックコントローラは、前記ローカルメモリコントローラからトランスポートパケットデータの入力開始の通知を受けると、クロックの前記トランスポートパケット処理回路への供給を開始し、トランスポートパケットデータの入力終了の通知を受けると、前記クロックの前記トランスポートパケット処理回路への供給を停止することを特徴とするトランスポートストリーム処理装置。

【請求項 11】 クロックコントローラは、外部の C P U から値を設定できるレジスタを有し、前記レジスタの設定値によりクロックの周波数を制御することができ、前記クロックの供給の開始・停止に代え、前記ローカル

メモリコントローラからトランスポートパケットデータの入力開始の通知を受けると、前記クロックの周波数を高くし、トランスポートパケットデータの入力終了の通知を受けると、前記クロックの周波数を低くすることを特徴とする請求項 10 記載のトランスポートストリーム処理装置。

【請求項 12】 複数のトランスポートストリームをそれぞれバッファリングする複数のバッファメモリと、前記複数のバッファメモリからそれぞれ出力されるトランスポートストリームを選択するセクタと、前記セクタで選択されたトランスポートストリームを P I D フィルタリングして出力する P I D フィルタと、前記 P I D フィルタから出力されたトランスポートストリームが書き込まれるローカルメモリと、前記ローカルメモリから出力されるトランスポートストリームから必要なデータを取得するトランスポートパケット処理回路と、前記トランスポートパケット処理回路への動作クロックの供給を制御するクロックコントローラと、前記複数のバッファメモリと前記セクタと前記ローカルメモリとを制御し、前記ローカルメモリのトランスポートパケット出力が前記複数のバッファメモリのうちのどのバッファメモリから出力されているかを前記トランスポートパケット処理回路における必要なデータの選択のために前記トランスポートパケット処理回路に通知し、前記ローカルメモリから前記トランスポートパケット処理回路へのトランスポートパケットデータの入力開始および入力終了を前記クロックコントローラに通知するローカルメモリコントローラとを備え、前記ローカルメモリコントローラにおける前記複数のバッファメモリと前記セクタと前記ローカルメモリとの制御は、前記複数のバッファメモリがオーバーフローしないように前記セクタの選択状態を切り替えながら前記複数のバッファメモリのデータを前記ローカルメモリに書き込み、前記ローカルメモリに書き込まれたデータがトランスポートパケット単位になったときに前記ローカルメモリに書き込まれたデータを前記トランスポートパケット処理回路へ出力し、前記ローカルメモリに蓄積されているデータがトランスポートパケット単位より小さくなったときに前記ローカルメモリに書き込まれたデータの前記トランスポートパケット処理回路への出力を停止するように行い、前記クロックコントローラは、前記ローカルメモリコントローラからトランスポートパケットデータの入力開始の通知を受けると、クロックの前記トランスポートパケット処理回路への供給を開始し、トランスポートパケットデータの入力終了の通知を受けると、前記クロックの前記トランスポートパケット処理回路への供給を停止することを特徴とするトランスポートストリーム処理装置。

【請求項 1 3】 クロックコントローラは、外部の CPU から値を設定できるレジスタを有し、前記レジスタの設定値によりクロックの周波数を制御することができ、前記クロックの供給の開始・停止に代え、前記ローカルメモリコントローラからトランスポートパケットデータの入力開始の通知を受けると、前記クロックの周波数を高くし、トランスポートパケットデータの入力終了の通知を受けると、前記クロックの周波数を低くすることを特徴とする請求項 1 2 記載のトランスポートストリーム処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 本発明は、ディジタル放送の分野で、放送局が衛星やケーブル等の通信媒体を使って伝送するトランスポートストリームと、ディジタル記録再生機器等（D-VHS ビデオテープレコーダ等）から出力されるトランスポートストリームとが同時に必要な場合において、トランスポートパケット（データ）の選択を行うのに好適なトランスポートストリーム処理装置に関するものである。

【 0 0 0 2 】

【従来の技術】 ディジタル放送の分野では、放送局が衛星やケーブル等の通信媒体を使って映像・音声データや映像・音声以外のサービス等のデータをトランスポートパケットの形態でトランスポートストリームとして加入者に送信するようになっており、加入者は、トランスポートストリーム処理装置を用いて、映像・音声データや映像・音声以外のサービス等のデータの中から必要なデータをトランスポートパケット単位で選択し、選択したデータを外部の AV デコーダへ送ることでモニターで映像・音声を再生したり、あるいは外部の CPU へ送ることでサービス等の内容（メッセージ、番組表等）を CPU を介してモニターで表示するようになっている。

【 0 0 0 3 】 この中で、映像・音声以外のサービス等のデータのうち、放送局が送る加入者に対しての個人情報（例えば、メッセージ）等は、任意の時間に各個人宛てに送信される。また、加入者に対しての個人情報等は複数回再送される。しかしながら、特定の回数や特定の時間内で打ち切られるので、自分宛ての情報を複数回取り損なうと、放送局が自分宛てに送信した個人情報等を取得できなくなる。また、次の自分宛ての情報を取得したとしても、個人情報等の連続性がなくなり、取得できなかった個人情報等に加え、今まで受信した個人情報等も無駄な情報となってしまう可能性がある。

【 0 0 0 4 】 受信する側では、いつ自分に対しての情報が送られてくるかがわからず、再送の回数も限られるので、各加入者は、常時加入者全員の個人情報等を受信していて、この中から自分に対して発せられた個人情報等を選択的に取り込んで保存しなければならない。

【 0 0 0 5 】 しかし、現状のトランスポートストリーム

処理装置では、放送局から衛星あるいはケーブルを通して送られるトランスポートストリームとディジタル記録再生機器から出力されるトランスポートストリームとを、選択的にしか入力できないように構成されており、ディジタル記録された画像データや音声データやその他のデータが含まれたトランスポートストリームをディジタル記録再生機器によって再生中は、放送局から加入者に対して送られた個人情報等が含まれたトランスポートストリームを受信して個人情報等を取得することができない構成となっている。

【 0 0 0 6 】 このような問題を回避し、放送局が加入者に対して送る個人情報等をディジタル記録再生機器を再生中であっても、必ず受信して個人情報等を取得できるようにするためには、放送局から衛星やケーブルを介して送られるトランスポートストリームとディジタル記録再生機器から送られるトランスポートストリームとを同時に処理する必要があり、そのためには、トランスポートストリーム処理装置にトランスポートストリームを処理する機能を複数持たせなければならない。

【 0 0 0 7 】 一方、他の従来例としての特願平 8 - 7 5 3 4 6 号（特開平 9 - 2 4 7 2 3 7 号公報参照）には、複数のストリームを複数の FIFO メモリを使いメモリ（2-PORT メモリを含む）に書き込み、その後シンタックス処理制御部で処理する方法や、複数のストリームを直接メモリ（2-PORT メモリを含む）に書き込み、その後シンタックス処理制御部で処理する方法が説明されている。

【 0 0 0 8 】

【発明が解決しようとする課題】 しかしながら、トランスポートストリームを処理する機能を独立して複数持つと、情報を保存しておくメモリも複数個必要となり、それに対応してメモリコントローラも複数個必要となり、メモリ相互間のデータのやり取りの処理の制御が複雑になる。その結果、トランスポートパケット処理回路の回路規模も大きくなりコストアップの原因となる。また、例えば CPU のプログラム・データ領域として使われるメモリとの間のデータ転送が多発し、データの管理が複雑になり、トランスポートストリームの処理に CPU の資源の多くを使用し、CPU の負担が大きくなってしま

【 0 0 0 9 】 一方、特願平 8 - 7 5 3 4 6 号に記載の従来例については、PID（パケット識別子）フィルタリングをしないでメモリにトランスポートストリームを書き込むので、不要なデータを書き込むメモリアクセスが行われ、消費電力が増える。また、不要なデータが書き込まれるので、メモリの使用効率が悪く、余分なメモリ領域が必要となるという問題がある。

【 0 0 1 0 】 したがって、本発明の第 1 の目的は、回路規模を小さくすることができるトランスポートストリーム処理装置を提供することである。

【0011】また、本発明の第2の目的は、CPUの負担を軽減することができるトランスポートストリーム処理装置を提供することである。

【0012】また、本発明の第3の目的は、低消費電力で動作させることができるトランスポートストリーム処理装置を提供することである。

【0013】

【課題を解決するための手段】本発明の請求項1のトランスポートストリーム処理装置は、複数のトランスポートストリームから必要なデータを各々選択する複数のトランスポートパケット処理手段と、共通メモリと、複数のトランスポートパケット処理手段から各々供給される複数のデータを複数のトランスポートパケット処理手段からのメモリ書き込み要求を調停しながら共通メモリに書き込むメモリ制御手段とを備えている。

【0014】この構成によれば、複数のトランスポートストリームを複数のトランスポートパケット処理手段にそれぞれ入力すると、各トランスポートパケット処理手段が各トランスポートストリームの中から必要なデータを同時に選択し、メモリ制御手段へ供給する。その結果、メモリ制御手段は入力された複数のトランスポートパケット処理手段からのデータを複数のトランスポートパケット処理手段からのメモリ書き込み要求を調停しながら共通メモリに書き込む。このようにして、複数のトランスポートストリームが入力されると、必要なデータが共通メモリに書き込まれる。

【0015】以上のように、複数のトランスポートパケット処理手段と単一の共通メモリと単一のメモリ制御手段を設け、複数のトランスポートパケット処理手段によって選択したデータを単一のメモリ制御手段を用いて単一の共通メモリに書き込むことにより、データを保存するためのメモリが一つで済み、トランスポートストリーム処理装置の規模を小さくすることができ、データ処理も単純になり、データ処理を制御するためのCPUの負荷を軽減できる。

【0016】本発明の請求項2のトランスポートストリーム処理装置は、請求項1記載のトランスポートストリーム処理装置において、トランスポートストリームが画像・音声データと画像・音声以外のサービス等のデータを含み、複数のトランスポートパケット処理手段のうちの一部のトランスポートパケット処理手段が、トランスポートストリームにおける画像・音声データと画像・音声以外のサービス等のデータの中から必要なデータを選択し、複数のトランスポートパケット処理手段の中残りのトランスポートパケット処理手段が、トランスポートストリームにおける画像・音声データ以外のサービス等のデータのみを選択するようにしたことを特徴とする。

【0017】この構成によれば、複数のトランスポートストリームを入力すると、複数のトランスポートパケッ

ト処理手段のうちの一部のトランスポートパケット処理手段が、トランスポートストリームにおける画像・音声データと画像・音声以外のサービス等のデータの中から必要なデータを選択し、複数のトランスポートパケット処理手段の中残りのトランスポートパケット処理手段が、トランスポートストリームにおける画像・音声データ以外のサービス等のデータのみを選択し、メモリ制御手段へ供給する。その結果、メモリ制御手段は入力された複数のデータを複数のトランスポートパケット処理手段からのメモリ書き込み要求を調停しながら共通メモリに書き込む。

【0018】このようにして、複数のトランスポートストリームが入力されると、各トランスポートストリームにおいて、各々必要なデータが共通メモリに書き込まれる。この際、複数のトランスポートパケット処理手段のうちの一部のトランスポートパケット処理手段へ入力される特定のトランスポートストリームについては、画像・音声データと画像・音声以外のサービス等のデータが共通メモリに書き込まれる。また、複数のトランスポートパケット処理手段の中残りのトランスポートパケット処理手段へ入力される特定のトランスポートストリームについては、画像・音声以外のサービス等のデータのみが共通メモリに書き込まれる。

【0019】本発明の請求項3のトランスポートストリーム処理装置は、請求項1記載のトランスポートストリーム処理装置において、トランスポートストリームが画像・音声データと画像・音声以外のサービス等のデータを含み、外部へトランスポートストリームを出力する外部出力手段を設け、複数のトランスポートパケット処理手段のうち少なくとも一部のトランスポートパケット処理手段が、トランスポートストリームにおける画像・音声データと画像・音声以外のサービス等のデータの中から必要な第1のデータを選択してメモリ制御手段へ供給するとともに、第1のデータとは独立してトランスポートストリームにおける画像・音声データと画像・音声以外のサービス等のデータの中から必要な第2のデータを選択して外部出力手段へ供給するようにしたことを特徴とする。

【0020】この構成によれば、複数のトランスポートストリームを入力すると、複数のトランスポートパケット処理手段のうち少なくとも一部のトランスポートパケット処理手段が特定のトランスポートストリームについて画像・音声データと画像・音声以外のサービス等から必要なデータを選択し共通メモリにデータを書き込むためにメモリ制御手段へ供給すると同時に、これとは独立して画像・音声データと画像・音声以外のサービス等のデータの中から必要なデータを選択して外部出力手段に対して供給する。その結果、外部出力手段は供給されたデータを別のトランスポートストリームとして出力することになる。

10

20

30

40

50

【0021】このようにして、複数のトランスポートストリームが入力されると、必要なデータが共通メモリに書き込まれる。さらに、これと同時に必要なデータが外部へ他のトランスポートストリームとして出力されることになり、例えばデータ記録再生機器でトランスポートストリームを記録することができる。

【0022】本発明の請求項4のトランスポートストリーム処理装置は、請求項1記載のトランスポートストリーム処理装置において、メモリ制御手段が外部のCPUから共通メモリへのアクセスを制御するようにしたことを特徴とする。

【0023】このように構成すれば、複数のトランスポートストリーム中から必要なデータが書き込まれた共通メモリに対して、CPUからメモリをアクセスすることができる。

【0024】本発明の請求項5のトランスポートストリーム処理装置は、請求項4記載のトランスポートストリーム処理装置において、共有メモリがCPUのプログラム・データ領域を有することを特徴とする。

【0025】このように構成すれば、複数のトランスポートストリームから選択されたデータを書き込んだ共通メモリにCPUのプログラム・データを書き込むことができる。その結果、CPUのプログラム・データを記憶するメモリを別に設ける必要がなくなり、回路構成を一層簡略化できる。

【0026】本発明の請求項6記載のトランスポートストリーム処理装置は、請求項1記載のトランスポートストリーム処理装置において、メモリ制御手段が外部のAVデコーダから共通メモリへのアクセスを制御するようにしたことを特徴とする。

【0027】このように構成すれば、複数のトランスポートストリーム中から必要なデータが書き込まれたメモリに対して、AVデコーダは画像・音声やその他のデータを読み出すことができる。

【0028】本発明の請求項7記載のトランスポートストリーム処理装置は、請求項6記載のトランスポートストリーム処理装置において、共有メモリがAVデコーダのフレームメモリ領域を有することを特徴とする。

【0029】このように構成すれば、複数のトランスポートストリームから選択されたデータを書き込んだ共通メモリの一部をAVデコーダのフレームメモリとして使用することができ、AVデコーダのフレームメモリを別に設ける必要がなくなり、回路構成をいっそう簡略化できる。

【0030】本発明の請求項8記載のトランスポートストリーム処理装置は、複数のトランスポートストリームをそれぞれバッファリングする複数のバッファメモリと、複数のバッファメモリから出力されるトランスポートストリームを選択するセクタと、セクタで選択されたトランスポートストリームが書き込まれるローカル

メモリと、ローカルメモリから出力されるトランスポートパケットからPIDフィルタリング等を行い必要なデータを取得するトランスポートパケット処理回路と、トランスポートパケット処理回路への動作クロックの供給を制御するクロックコントローラと、複数のバッファメモリとセクタとローカルメモリとを制御し、ローカルメモリのトランスポートパケット出力が複数のバッファメモリのうちのどのバッファメモリから出力されているかをトランスポートパケット処理回路における必要なデータの選択のためにトランスポートパケット処理回路に通知し、ローカルメモリからトランスポートパケット処理回路へのトランスポートパケットデータの入力開始および入力終了をクロックコントローラに通知するローカルメモリコントローラとを備え、ローカルメモリコントローラにおける複数のバッファメモリとセクタとローカルメモリとの制御は、複数のバッファメモリがオーバーフローしないようにセクタの選択状態を切り替えながら複数のバッファメモリのデータをローカルメモリに書き込み、ローカルメモリに書き込まれたデータがトランスポートパケット単位になったときにローカルメモリに書き込まれたデータをトランスポートパケット処理回路へ出力し、ローカルメモリに蓄積されているデータがトランスポートパケット単位より小さくなったときにローカルメモリに書き込まれたデータのトランスポートパケット処理回路への出力を停止するに行い、クロックコントローラは、ローカルメモリコントローラからトランスポートパケットデータの入力開始の通知を受けると、クロックのトランスポートパケット処理回路への供給を開始し、トランスポートパケットデータの入力終了の通知を受けると、クロックのトランスポートパケット処理回路への供給を停止することを特徴とする。

【0031】この構成によれば、ローカルメモリとトランスポートパケット処理回路が1つの回路で構成できる。その結果、回路規模を小さくすることができる。かつ、ローカルメモリに書き込まれているトランスポートパケット処理が未処理のデータ量を判断して、トランスポートパケット処理回路へのクロックの供給の開始および停止を切り替えることで、トランスポートパケット処理回路を動作状態から停止状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要なときにのみトランスポートパケット処理回路を動作させることができる。その結果、低消費電力で動作させることができる。

【0032】本発明の請求項9記載のトランスポートストリーム処理装置は、請求項8記載のトランスポートストリーム処理装置において、クロックコントローラが、CPUから設定できるレジスタを有し、レジスタの設定値によりクロックの周波数を制御することができ、クロックの供給の開始・停止に代え、ローカルメモリコントローラからトランスポートパケットデータの入力開始の

通知を受けると、クロックの周波数を高くし、トランスポートパケットデータの入力終了の通知を受けると、クロックの周波数を低くすることを特徴とする。

【0033】この構成によれば、CPUから任意に必要な動作周波数でトランスポートパケット処理回路を動かすことができる。ローカルメモリに書き込まれているトランスポートパケット処理が未処理のデータ量を判断して、トランスポートパケット処理回路のクロック周波数を切り替えることで、トランスポートパケット処理回路を高速動作状態から低速動作状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要

なときにのみトランスポートパケット処理回路を高速動作させることができる。その結果、低消費電力で動作させることができる。

【0034】本発明の請求項10記載のトランスポートストリーム処理装置は、複数のトランスポートストリームをPIDフィルタリングして必要なトランスポートストリームをそれぞれ出力する複数のPIDフィルタと、複数のPIDフィルタから出力されるトランスポートストリームをそれぞれバッファリングする複数のバッファメモリと、複数のバッファメモリから出力されるトランスポートストリームを選択するセクタと、セクタで選択されたトランスポートストリームが書き込まれるローカルメモリと、ローカルメモリから出力されるトランスポートパケットから必要なデータを取得するトランスポートパケット処理回路と、トランスポートパケット処理回路への動作クロックの供給を制御するクロックコントローラと、複数のバッファメモリとセクタとローカルメモリとを制御し、ローカルメモリのトランスポートパケット出力が複数のバッファメモリのうちのどのバッファメモリから出力されているかをトランスポートパケット処理回路における必要なデータの選択のためにトランスポートパケット処理回路に通知し、ローカルメモリからトランスポートパケット処理回路へのトランスポートパケットデータの入力開始および入力終了をクロックコントローラに通知するローカルメモリコントローラとを備え、ローカルメモリコントローラにおける複数のバッファメモリとセクタとローカルメモリとの制御は、複数のバッファメモリがオーバーフローしないようにセクタの選択状態を切り替えながら複数のバッファメモリのデータをローカルメモリに書き込み、ローカルメモリに書き込まれたデータがトランスポートパケット単位になったときにローカルメモリに書き込まれたデータをトランスポートパケット処理回路へ出力し、ローカルメモリに蓄積されているデータがトランスポートパケット単位より小さくなったときにローカルメモリに書き込まれたデータのトランスポートパケット処理回路への出力を停止するように行い、クロックコントローラは、ローカルメモリコントローラからトランスポートパケットデータの入力開始の通知を受けると、クロックのトラ

ンスポートパケット処理回路への供給を開始し、トランスポートパケットデータの入力終了の通知を受けると、クロックのトランスポートパケット処理回路への供給を停止することを特徴とする。

【0035】この構成によれば、ローカルメモリとトランスポートパケット処理回路が1つの回路(PIDフィルタは複数)で構成できる。その結果、回路規模を小さくすることができる。かつ、ローカルメモリに書き込まれているトランスポートパケット処理が未処理のデータ量は、PIDフィルタリングされた後のデータなので必要最小限であり、このデータ量を判断して、トランスポートパケット処理回路へのクロックの供給の開始および停止を切り替えることで、トランスポートパケット処理回路を動作状態から停止状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要なときにのみトランスポートパケット処理回路を動作させることができる。その結果、低消費電力で動作させることができる。

【0036】また、PIDフィルタ後のデータをローカルメモリに書き込むので、不必要なデータを書き込むアクセスが発生せず、消費電力を低減でき、またローカルメモリ領域を効率的に使用することができる。

【0037】本発明の請求項11記載のトランスポートストリーム処理装置は、請求項10記載のトランスポートストリーム処理装置において、クロックコントローラが、CPUから設定できるレジスタを有し、レジスタの設定値によりクロックの周波数を制御することができ、クロックの供給の開始・停止に代え、ローカルメモリコントローラからトランスポートパケットデータの入力開始の通知を受けると、クロックの周波数を高くし、トランスポートパケットデータの入力終了の通知を受けると、クロックの周波数を低くすることを特徴とする。

【0038】この構成によれば、CPUから任意に必要な動作周波数でトランスポートパケット処理回路を動かすことができる。ローカルメモリに書き込まれているトランスポートパケット処理が未処理のデータ量を判断して、トランスポートパケット処理回路のクロック周波数を切り替えることで、トランスポートパケット処理回路を高速動作状態から低速動作状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要なときにのみトランスポートパケット処理回路を高速動作させることができる。その結果、低消費電力で動作させることができる。

【0039】本発明の請求項12記載のトランスポートストリーム処理装置は、複数のトランスポートストリームをそれぞれバッファリングする複数のバッファメモリと、複数のバッファメモリからそれぞれ出力されるトランスポートストリームを選択するセクタと、セクタで選択されたトランスポートストリームをPIDフィルタリングして出力するPIDフィルタと、PIDフィル

タから出力されたトランスポートストリームが書き込まれるローカルメモリと、ローカルメモリから出力されるトランスポートストリームから必要なデータを取得するトランスポートパケット処理回路と、トランスポートパケット処理回路への動作クロックの供給を制御するクロックコントローラと、複数のバッファメモリとセクタとローカルメモリとを制御し、ローカルメモリのトランスポートパケット出力が複数のバッファメモリのうちのどのバッファメモリから出力されているかをトランスポートパケット処理回路における必要なデータの選択のためにトランスポートパケット処理回路に通知し、ローカルメモリからトランスポートパケット処理回路へのトランスポートパケットデータの入力開始および入力終了をクロックコントローラに通知するローカルメモリコントローラとを備え、ローカルメモリコントローラにおける複数のバッファメモリとセクタとローカルメモリとの制御は、複数のバッファメモリがオーバーフローしないようにセクタの選択状態を切り替えながら複数のバッファメモリのデータをローカルメモリに書き込み、ローカルメモリに書き込まれたデータがトランスポートパケット単位になったときにローカルメモリに書き込まれたデータをトランスポートパケット処理回路へ出力し、ローカルメモリに蓄積されているデータがトランスポートパケット単位より小さくなったときにローカルメモリに書き込まれたデータのトランスポートパケット処理回路への出力を停止するように行い、クロックコントローラは、ローカルメモリコントローラからトランスポートパケットデータの入力開始の通知を受けると、クロックのトランスポートパケット処理回路への供給を開始し、トランスポートパケットデータの入力終了の通知を受けると、クロックのトランスポートパケット処理回路への供給を停止することを特徴とする。

【0040】この構成によれば、ローカルメモリとトランスポートパケット処理回路が1つの回路で構成できる。その結果、回路規模を小さくすることができる。かつ、ローカルメモリに書き込まれているトランスポートパケット処理が未処理のデータ量は、PIDフィルタリングされた後のデータなので必要最小限であり、このデータ量を判断して、トランスポートパケット処理回路へのクロックの供給の開始および停止を切り替えることで、トランスポートパケット処理回路を動作状態から停止状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要なときにのみトランスポートパケット処理回路を動作させることができる。その結果、低消費電力で動作させることができる。

【0041】また、PIDフィルタ後のデータをローカルメモリに書き込むので、不必要なデータを書き込むアクセスが発生せず、消費電力を低減でき、またローカルメモリ領域を効率的に使用することができる。

【0042】本発明の請求項13記載のトランスポート

ストリーム処理装置は、請求項12記載のトランスポートストリーム処理装置において、クロックコントローラが、CPUから設定できるレジスタを有し、レジスタの設定値によりクロックの周波数を制御することができ、クロックの供給の開始・停止に代え、ローカルメモリコントローラからトランスポートパケットデータの入力開始の通知を受けると、クロックの周波数を高くし、トランスポートパケットデータの入力終了の通知を受けると、クロックの周波数を低くすることを特徴とする。

【0043】この構成によれば、CPUから任意に必要な動作周波数でトランスポートパケット処理回路を動かすことができる。ローカルメモリに書き込まれているトランスポートパケット処理が未処理のデータ量を判断して、トランスポートパケット処理回路のクロック周波数を切り替えることで、トランスポートパケット処理回路を高速動作状態から低速動作状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要なときにのみトランスポートパケット処理回路を高速動作させることができる。その結果、低消費電力で動作させることができる。

【0044】

【発明の実施の形態】本発明の実施の形態として、MP EGシステム規格に準拠したデジタル放送において、衛星からのトランスポートストリームとデジタル記録再生機器(D-VHSビデオテープレコーダ等)からのトランスポートストリームから、必要に応じて画像・音声やその他のサービス情報を選択し、共通メモリに書き込んだり、外部出力手段である外部インタフェースに出力するトランスポートストリーム処理装置について、図面を参照しながら説明する。

【0045】図1はトランスポートストリームの説明をするための模式図である。トランスポートストリーム10は、例えば188byte単位の複数のトランスポートパケット11, 12, …から構成される。例えば、トランスポートパケット11は4byte(バイト)のパケットヘッダ13と184byteのアダプテーションフィールド/ペイロード14とから構成される。パケットヘッダ13には、このトランスポートパケット11についてのさまざまな付加情報が入っており、この中にパケット識別子(PID)15の情報がある。パケット識別子15は、どのプログラム(番組)でこのアダプテーションフィールド/ペイロード14を使用するかを識別番号(ID番号)を示すものである。アダプテーションフィールド/ペイロード14には、画像・音声やその他のサービス情報が入っている。

【0046】図2は請求項1～7に関する本発明の第1の実施の形態におけるトランスポートストリーム処理装置の構成を示すブロック図である。図2において、21はトランスポートパケット処理手段としてのトランスポートパケット処理回路であり、衛星からのトランスポート

トストリームが入力される。22はトランスポートパケット処理手段としてのトランスポートパケット処理回路であり、デジタル記録再生機器からのトランスポートストリームが入力される。23はアクセス調停機能を有するメモリ制御手段としてのメモリコントローラであり、トランスポートパケット処理回路21、22および外部バス28からデータが供給される。24は共通メモリであり、画像データ領域24A、音声データ領域24B、サービス等のデータ領域24C、CPUのプログラム領域24DおよびAVデコーダのフレームメモリ領域24Eからなり、メモリコントローラ23からデータが供給されることで、画像データ領域24A、音声データ領域24B、サービス等のデータ領域24C、CPUのプログラム領域24DおよびAVデコーダのフレームメモリ領域24Eのいずれかにデータが書き込まれる。25はトランスポートパケット処理回路21から出力されるデータを入力として、外部へ他のトランスポートストリームとして出力する外部インターフェースである。以上の構成要素は、ワンチップ集積回路で構成されている。

【0047】26は外部バス28を介してメモリコントローラ23に接続されたCPUである。27は外部バス28を介してメモリコントローラ23に接続されたAVデコーダである。

【0048】以上のような構成のトランスポートストリーム処理装置の動作について、以下に説明する。衛星からのトランスポートストリームは、まずトランスポートパケット処理回路21で処理されて、必要なトランスポートパケットが選択されメモリコントローラ23へ送られる。また、これに同時に、かつメモリコントローラ23へ送るトランスポートパケットとは独立して、必要なトランスポートパケットが選択され外部インターフェース25へ送られる。外部インターフェース25はデジタル記録再生機器(D-VHSビデオテープレコーダ)に入力できる信号を変換するものである。メモリコントローラ23は、トランスポートパケット処理回路21で選択されたトランスポートパケットを共通メモリ24に書き込む。この際、画像データは画像データ領域24Aに書き込まれ、音声データは音声データ領域24Bに書き込まれ、サービス等のデータはサービス等のデータ領域24Cに書き込まれる。

【0049】一方、デジタル記録再生機器からのトランスポートストリームは、まずトランスポートパケット処理回路22で処理されて、必要なトランスポートパケットが選択されメモリコントローラ23へ送られる。つぎに、メモリコントローラ23は、トランスポートパケット処理回路22で選択されたトランスポートパケットを共通メモリ24に書き込む。

【0050】このトランスポートストリーム処理装置は、CPU26やAVデコーダ27等の外部回路からも、メモリコントローラ23の働きで外部バス28を通

してアクセスでき、共通メモリ24に書き込まれたデータはCPU26やAVデコーダ27から自由に読み出すことができる。また、この共通メモリ24は、CPUのプログラム・データ領域24Dとフレームメモリ領域24Eを設けたことにより、CPU26のプログラム・データを格納するメモリ、ならびにAVデコーダ27のフレームメモリとしても使用可能である。

【0051】図3はトランスポートパケット処理回路21の具体的な構成を示すブロック図である。図3において、31はパケット識別子テーブル、32はパケット識別子比較回路、33は遅延回路、34、35は選択回路である。

【0052】以上のような構成のトランスポートパケット処理回路21の動作を以下に説明する。あらかじめ必要なパケット識別子をパケット識別子テーブル31に設定しておく。このトランスポートパケット処理回路21では、2個の選択回路34、35が設けられているので、各選択回路34、35毎に個別にパケット識別子が設定できるようになっている。

【0053】そして、衛星からのトランスポートストリームがパケット識別子比較回路32と遅延回路33とに入力される。その結果、パケット識別子比較回路32は、パケット識別子テーブル31に各選択回路34、35毎に設定されたパケット識別子と入力されたトランスポートストリームの各トランスポートパケットのパケット識別子とを比較する。選択回路34に対応して設定されたパケット識別子と入力されたトランスポートストリームの各トランスポートパケットのパケット識別子とが一致したら、選択信号を選択回路34へ送る。また、選択回路35に対応して設定されたパケット識別子と入力されたトランスポートストリームの各トランスポートパケットのパケット識別子とが一致したら、選択信号を選択回路35へ送る。

【0054】遅延回路33は、各トランスポートパケットをパケット識別子比較回路32で比較処理される時間だけ遅延させて選択回路34、35へ送る。その結果、パケット識別子が一致した1種類または複数種類のトランスポートパケットが選択回路34、35で各々選択されて外部へ出力される。この場合、選択回路34で選択されたトランスポートパケットは外部インターフェース25へ送られ、選択回路35で選択されたトランスポートパケットはメモリコントローラ23へ送られる。

【0055】図4はトランスポートパケット処理回路22の具体的な構成を示すブロック図である。図4において、41はパケット識別子テーブル、42はパケット識別子比較回路、43は遅延回路、44は選択回路である。

【0056】以上のような構成のトランスポートパケット処理回路22の動作を以下に説明する。あらかじめ必要なパケット識別子をパケット識別子テーブル41に設

定しておく。このトランスポートパケット処理回路 22 では、1 個の選択回路 44 が設けられているだけであるので、選択回路 44 についてパケット識別子が設定できるようにになっている。

【0057】そして、デジタル記録再生機器からのトランスポートストリームがパケット識別子比較回路 42 と遅延回路 43 とに入力される。その結果、パケット識別子比較回路 42 は、パケット識別子テーブル 41 に設定されたパケット識別子と入力されたトランスポートストリームの各トランスポートパケットのパケット識別子とを比較する。設定されたパケット識別子と入力されたトランスポートストリームの各トランスポートパケットのパケット識別子とが一致したら、選択信号を選択回路 44 へ送る。

【0058】遅延回路 43 は、各トランスポートパケットをパケット識別子比較回路 42 で比較処理される時間だけ遅延させて選択回路 44 へ送る。その結果、パケット識別子が一致した 1 種類または複数種類のトランスポートパケットが選択回路 44 で選択されて外部へ出力される。この場合、選択回路 44 で選択されたトランスポートパケットはメモリコントローラ 23 へ送られる。

【0059】図 5 はメモリコントローラ 23 の具体構成を示すブロック図である。図 5 において、51、52 はバッファメモリ、53 はアクセスの調停を行うアビトレーション回路、54 は選択回路である。

【0060】以上のような構成のメモリコントローラ 23 の動作を以下に説明する。衛星からのトランスポートパケットとデジタル記録再生機器からのトランスポートパケットは、バッファメモリ 51 とバッファメモリ 52 にそれぞれ書き込まれる。これと同時に共通メモリ 24 に対する書き込み要求がアビトレーション回路 43 に送られる。

【0061】また、任意のタイミングで CPU/AV デコーダ 26、27 から共通メモリ 24 の書き込み要求がアビトレーション回路 53 に送られる。アビトレーション回路 53 は上記の数種類の書き込み要求の優先順位付けを行い、選択回路 54 を制御しながら、共通メモリ 24 の読み出しと書き込みを行う。

【0062】なお、上記実施の形態では、トランスポートパケット処理回路が 2 個設けられていたが、3 個またはそれ以上でもよく、それらの一部はトランスポートパケット処理回路 21 に相当する構成であり、残りはトランスポートパケット処理回路 22 に相当する構成である。

【0063】以上のように、この実施の形態のトランスポートストリーム処理装置によれば、複数のトランスポートパケット処理回路 21、22 と単一の共通メモリ 24 と単一のメモリコントローラ 23 を設け、複数のトランスポートパケット処理回路 21、22 によって選択したデータを単一のメモリコントローラ 23 を用いて単一

の共通メモリ 24 に書き込むことができ、データを保存するためのメモリが一つで済み、トランスポートストリーム処理装置の規模を小さくすることができ、データ処理も単純になり、CPU 26 の負荷を軽減することができる。

【0064】さらに、トランスポートパケット処理回路 22 により、特定のトランスポートストリーム（衛星からのもの）から選択した画像・音声データと画像・音声以外のサービス等のデータを共通メモリ 24 に書き込むことができ、トランスポートパケット処理回路 21 により、特定のトランスポートストリーム（デジタル記録再生機器からのもの）から選択した画像・音声以外のサービス等のデータのみを共通メモリ 24 に書き込みながら、同時に外部出力にも特定のトランスポートストリーム（衛星からのもの）の中から必要なデータを出力できる。

【0065】また、メモリコントローラ 23 により複数のトランスポートストリームから選択されたデータと、CPU 26 のプログラム・データを共通メモリ 24 に書き込み、また読み出すことができる。また、メモリコントローラ 23 により AV デコーダ 27 は共通メモリ 24 から直接必要なデータを読み出すことができ、またデコードのために共通メモリ 24 の一部の領域をフレームメモリとして利用することができる。

【0066】図 6 は請求項 8、9 に関する本発明の第 2 の実施の形態におけるトランスポートストリーム処理装置の構成を示すブロック図である。第 2 の実施の形態では、バッファメモリ 61～63、セクタ 64、ローカルメモリ 65、トランスポートパケット処理回路 66、ローカルメモリコントローラ 67、およびクロックコントローラ 68、メモリコントローラ 69、共通メモリ 70 を備えている。

【0067】複数のトランスポートストリーム A～C を各々バッファリングするバッファメモリ 61～63 は、セクタ 64 で選択されていない間のトランスポートストリームを保持しなければならない。

【0068】セクタ 64 はローカルメモリ 65 の書き込みポートが 1 つであるため、バッファメモリ 61～63 の一つを選択してローカルメモリ 65 へデータを出力する。つまり、複数のバッファメモリ 61～63 から出力されるトランスポートストリームを選択してローカルメモリ 65 へ送る。

【0069】ローカルメモリ 65 では、セクタ 64 で選択されたトランスポートストリーム A～C が各々書き込まれていき、188 バイトのトランスポートパケットが構成されるまで書き込まれた後、トランスポートパケット単位でトランスポートパケット処理回路 66 へ出力される。

【0070】トランスポートパケット処理回路 66 は P I D フィルタ回路 66 A と P I D フィルタ以外の回路 6

10

20

30

40

50

6 Bを備えているが、この両者の回路66A、66Bでパケット処理を行い、ローカルメモリ65から出力されるトランスポートパケットからPIDフィルタリング等を行い必要なデータを取得し、メモリコントローラ（図示せず）へ送る。なお、PIDフィルタリングというのは、トランスポートストリームのデータの中から、特定のパケット識別子（PID）を備えたデータを選択的に抽出することをいう。

【0071】ローカルメモリコントローラ67は、複数のバッファメモリ61～63とセクタ64とローカルメモリ65とを制御し、ローカルメモリ65のトランスポートパケット出力が複数のバッファメモリ61～63のうちのどのバッファメモリから出力されているかをトランスポートパケット処理回路66における必要なデータの選択のためにトランスポートパケット処理回路66に通知し、ローカルメモリ65からトランスポートパケット処理回路66へのトランスポートパケットデータの10 入力開始および入力終了をクロックコントローラ68に通知する。

【0072】ローカルメモリコントローラ67における複数のバッファメモリ61～63とセクタ64とローカルメモリ65との制御は、以下のように行われる。すなわち、複数のバッファメモリ61～63がオーバーフローしないようにセクタ64の選択状態を切り替えながら複数のバッファメモリ61～63のデータをローカルメモリ65の複数のトランスポートストリームに対応した領域毎に分けて書き込む制御が行われる。また、ローカルメモリ65に書き込まれたデータがトランスポートパケット単位になったときにローカルメモリ65に書き込まれたデータをトランスポートパケット処理回路66へ出力し、ローカルメモリ65に蓄積されているデータがトランスポートパケット単位より小さくなったときにローカルメモリ65に書き込まれたデータのトランスポートパケット処理回路65への出力を停止する制御が行われる。20

【0073】クロックコントローラ68は、トランスポートパケット処理回路66への動作用クロックの供給を制御する。具体的には、ローカルメモリコントローラ67からトランスポートパケット処理回路65へのトランスポートパケットデータの1入力開始の通知を受けると、クロックのトランスポートパケット処理回路66への供給を開始し、トランスポートパケット処理回路65へのトランスポートパケットデータの1入力終了の通知を受けると、クロックのトランスポートパケット処理回路66への供給を停止する。40

【0074】つまり、ローカルメモリコントローラ67とクロックコントローラ68は、以下のような制御動作を行う。ローカルメモリコントローラ67はバッファメモリ61～63がオーバーフローしないようにセクタ64を介してバッファメモリ61～63のデータをロー50

カルメモリ65に書き込む制御を行う。また、ローカルメモリコントローラ67は、ローカルメモリ65に書き込まれたデータがトランスポートパケット単位になった時、ローカルメモリ65からトランスポートパケット処理回路66へトランスポートパケットを出力する制御を行うと同時に、ローカルメモリ65のトランスポートパケット出力が複数のバッファメモリ61～63のうちのどのバッファメモリから出力されているかをトランスポートパケット処理回路66に通知し、クロックコントローラ68へトランスポートパケットがトランスポートパケット処理回路66に1入力されることを通知する。

【0075】クロックコントローラ68は、トランスポートパケットがトランスポートパケット処理回路66に2 入力されることを知ると（またはCPUからトランスポートパケットの入力レートが高いことを通知されると）、トランスポートパケット処理回路66にクロックを供給（または周波数を上げる）する。このことでトランスポートパケット処理回路66が動作する。このトランスポートパケット単位の動作が継続中に、ローカルメモリ65に書き込まれて続けて蓄積されているデータがトランスポートパケット単位以下となった時、ローカルメモリ65からトランスポートパケット処理回路66へトランスポートパケット単位でのデータの出力を停止する制御を行うと同時に、クロックコントローラ68へトランスポートパケット単位でトランスポートパケット処理回路66に3 入力が終了したことを通知する。クロックコントローラ68は、トランスポートパケット単位でトランスポートパケット処理回路66の入力が終了したことを知ると（またはCPUからトランスポートパケットの入力レートが低いことを通知されると）、トランスポートパケット処理回路66のクロックを一定時間の後に停止（または周波数を下げる）する。このことでトランスポートパケット処理回路66の動作が停止する。

【0076】メモリコントローラ69は、トランスポートパケット処理回路66で処理されたデータを共通メモリ70の決められた領域に書き込む。

【0077】ここで、外部のCPUからの通知を受ける場合について説明する。クロックコントローラ68は、外部のCPUから値を設定できるレジスタを有し、外部のCPUからの通知によって値をレジスタに設定する構成になっている。この場合、レジスタの設定値によりクロックの周波数の高低あるいは供給開始、供給停止を制御することができる。ローカルメモリコントローラ67からトランスポートパケット処理回路66へのトランスポートパケットデータの1入力開始の通知を受けると、クロックの供給を開始し、またはクロックの周波数を高くし、トランスポートパケットデータの1入力終了の通知を受けると、クロックの供給を停止し、またはクロックの周波数を低くする。

【0078】つまり、トランスポートパケット処理回路

66にトランスポートパケットが入力開始または、入力終了した状況や入力データが高速/低速の状況によりクロックの供給開始、停止あるいは、周波数の上下の制御が行われる。

【0079】なお、ローカルメモリコントローラ67からの信号でクロックコントローラ68がトランスポートパケット単位でのトランスポートパケット処理回路66の入力が開始もしくは終了を知ったときに、クロックの供給開始もしくは停止の代わりに、クロックの周波数を上下させてもよい。

【0080】図7はセクタ64の入出力およびローカルメモリ65の出力を示すタイミング図である。図8は図7で示されたトランスポートストリームが書き込まれたローカルメモリ65のメモリマップを示す模式図である。

【0081】複数のトランスポートストリームA~Cがセクタ64に入力していて、各々は32ビット単位のA1~47, B1~47, C1~47とする。セクタ64はこのデータを時分割多重して、A1, B1, C1, A2, B2, C2……C47, B47, C47としてローカルメモリ65に書き込む。

【0082】ローカルメモリマップ上では、トランスポートパケットAの領域81にA1, A2, A3……A47が書き込まれる。同様に、トランスポートパケットBの領域82にB1, B2, B3……B47、トランスポートパケットCの領域83にC1, C2, C3……C47が書き込まれる。一方、読み出しは、1トランスポートパケットが完成した時に、トランスポートパケット単位でA1……A47の1トランスポートパケット、B1……B47の1トランスポートパケット、C1……C47の1トランスポートパケットの順で読み出され、トランスポートパケット処理回路66に送られる。

【0083】この実施の形態のトランスポートストリーム処理装置によれば、ローカルメモリ65とトランスポートパケット処理回路66が1つの回路で構成できる。その結果、回路規模を小さくすることができる。かつ、ローカルメモリ65に書き込まれているトランスポートパケット処理が未処理のデータ量を判断して、トランスポートパケット処理回路66へのクロックの供給の開始および停止を切り替えることで、トランスポートパケット処理回路66を動作状態から停止状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要なときにのみトランスポートパケット処理回路66を動作させることができる。その結果、低消費電力で動作させることができる。

【0084】一方、トランスポートパケット処理回路66へ供給するクロックの周波数を高低に切り替える構成によると、CPUから任意に必要な動作周波数でトランスポートパケット処理回路66を動かすことができる。ローカルメモリに書き込まれているトランスポートパケ

ット処理が未処理のデータ量を判断して、トランスポートパケット処理回路66のクロック周波数を切り替えることで、トランスポートパケット処理回路66を高速動作状態から低速動作状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要なときにのみトランスポートパケット処理回路66を高速動作させることができる。その結果、低消費電力で動作させることができる。

【0085】図9は請求項10、11に関する本発明の第3の実施の形態におけるトランスポートストリーム処理装置の構成を示すブロック図である。第3の実施の形態では、PIDフィルタ91~93、バッファメモリ94~96、セクタ97、ローカルメモリ98、トランスポートパケット処理回路99、ローカルメモリコントローラ9A、およびクロックコントローラ9Bとを備え、さらに図示は省略しているが、図6のメモリコントローラ69および共通メモリ70と同様の機能を有するメモリコントローラおよび共通メモリを備えている。

【0086】PIDフィルタ91~93は、複数のトランスポートストリームA~Cを各々PIDフィルタリングし、必要なトランスポートストリームをそれぞれバッファメモリ94~96へ出力する。

【0087】各々バッファメモリ94~96は、セクタ97で選択されていない間のトランスポートストリームを保持しなければならない。

【0088】セクタ97はローカルメモリ98の書き込みポートが1つであるため、バッファメモリ94~96の一つを選択してローカルメモリ98へデータを出力する。つまり、複数のバッファメモリ94~96から出力されるトランスポートストリームを選択してローカルメモリ98へ送る。

【0089】ローカルメモリ98では、セクタ97で選択されたトランスポートストリームA~Cが各々書き込まれていき、188バイトのトランスポートパケットが構成されるまで書き込まれた後、トランスポートパケット単位でトランスポートパケット処理回路99へ出力される。

【0090】トランスポートパケット処理回路99はPIDフィルタ以外の回路99Bを備えていて、この回路でパケット処理を行い、ローカルメモリ98から出力されるトランスポートパケットから必要なデータを取得し、メモリコントローラ（図示せず）へ送る。

【0091】ローカルメモリコントローラ9Aは、複数のバッファメモリ94~96とセクタ97とローカルメモリ98とを制御し、ローカルメモリ98のトランスポートパケット出力が複数のバッファメモリ94~96のうちのどのバッファメモリから出力されているかをトランスポートパケット処理回路99における必要なデータの選択のためにトランスポートパケット処理回路99に通知し、ローカルメモリ98からトランスポートパケ

ット処理回路 99 へのトランスポートパケットデータの
入力開始および入力終了をクロックコントローラ 9B に
通知する。

【0092】ローカルメモリコントローラ 9A における
複数のバッファメモリ 94~96 とセクタ 97 とロー
カルメモリ 98 との制御は、以下のように行われる。す
なわち、複数のバッファメモリ 94~96 がオーバーフ
ローしないようにセクタ 97 の選択状態を切り替えな
がら複数のバッファメモリ 94~96 のデータをローカ
ルメモリ 98 の複数のトランスポートストリームに対応
した領域毎に分けて書き込む制御が行われる。また、ロー
カルメモリ 98 に書き込まれたデータがトランスポート
パケット単位になったときにローカルメモリ 98 に書
き込まれたデータをトランスポートパケット処理回路 9
9 へ出力し、ローカルメモリ 98 に蓄積されているデー
タがトランスポートパケット単位より小さくなったとき
にローカルメモリ 98 に書き込まれたデータのトランス
ポートパケット処理回路 98 への出力を停止する制御が
行われる。

【0093】クロックコントローラ 9B は、トランス
ポートパケット処理回路 99 への動作クロックの供給を
制御する。具体的には、ローカルメモリコントローラ 9
A からトランスポートパケット処理回路 98 へのトラン
スポートパケットデータの入力開始の通知を受けると、
クロックのトランスポートパケット処理回路 99 への供
給を開始し、トランスポートパケット処理回路 98 への
トランスポートパケットデータの入力終了の通知を受け
ると、クロックのトランスポートパケット処理回路 99
への供給を停止する。

【0094】つまり、ローカルメモリコントローラ 9A
とクロックコントローラ 9B は、以下のような制御動作
を行う。ローカルメモリコントローラ 9A はバッファメ
モリ 94~96 がオーバーフローしないようにセクタ
97 を介してバッファメモリ 94~96 のデータをロー
カルメモリ 98 に書き込む制御を行う。また、ローカル
メモリコントローラ 9A は、ローカルメモリ 98 に書き
込まれたデータがトランスポートパケット単位になった
時、ローカルメモリ 98 からトランスポートパケット処
理回路 99 へトランスポートパケットを出力する制御を
行うと同時に、ローカルメモリ 98 のトランスポートパ
ケット出力が複数のバッファメモリ 94~96 のうちの
どのバッファメモリから出力されているかをトランス
ポートパケット処理回路 99 に通知し、クロックコント
ローラ 9B へトランスポートパケットがトランスポートパ
ケット処理回路 99 に入力されることを通知する。クロ
ックコントローラ 9B は、トランスポートパケットがト
ランスポートパケット処理回路 99 に入力されることを
知ると（または CPU からトランスポートパケットのレ
ートが高いことを通知されると）、トランスポートパ
ケット処理回路 99 にクロックを供給（または周波数を上

げる）する。このことでトランスポートパケット処理回
路 99 が動作する。このトランスポートパケット単位の
動作が継続中に、ローカルメモリ 98 に書き込まれて続
けて蓄積されているデータがトランスポートパケット単
位以下となった時、ローカルメモリ 98 からトランス
ポートパケット処理回路 99 へトランスポートパケット単
位でのデータの出力を停止する制御を行うと同時に、ク
ロックコントローラ 9B へトランスポートパケット単位
でトランスポートパケット処理回路 99 に入力終了した
ことを通知する。クロックコントローラ 9B は、トラ
ンスポートパケット単位でトランスポートパケット処理
回路 99 の入力終了したことを知ると（または CPU
からトランスポートパケットのレートが低いことを通知
されると）、トランスポートパケット処理回路 99 のク
ロックを一定時間の後に停止（または周波数を下げる）
する。このことでトランスポートパケット処理回路 99
の動作が停止する。

【0095】メモリコントローラ（図示せず）は、トラ
ンスポートパケット処理回路 99 で処理されたデータを
共通メモリ（図示せず）の決められた領域に書き込む。

【0096】ここで、外部の CPU からの通知を受ける
場合について説明する。クロックコントローラ 9B は、
外部の CPU から値を設定できるレジスタを有し、外部
の CPU からの通知によって値をレジスタに設定する構
成になっている。この場合、レジスタの設定値によりク
ロックの周波数の高低あるいは供給開始、供給停止を制
御することができる。ローカルメモリコントローラ 9A
からトランスポートパケット処理回路 99 へのトラン
スポートパケットデータの入力開始の通知を受けると、ク
ロックの供給を開始し、またはクロックの周波数を高く
し、トランスポートパケットデータの入力終了の通知を
受けると、クロックの供給を停止し、またはクロックの
周波数を低くする。

【0097】つまり、トランスポートパケット処理回路
99 にトランスポートパケットが入力開始または、入力
終了した状況や入力データが高速／低速の状況によりク
ロックの供給開始、停止あるいは、周波数の上下の制御
が行われる。

【0098】なお、ローカルメモリコントローラ 9A か
らの信号でクロックコントローラ 9B がトランスポート
パケット単位でのトランスポートパケット処理回路 99
の入力が開始もしくは終了を知ったときに、クロックの
供給開始もしくは停止の代わりに、クロックの周波数を
上下させてもよい。

【0099】この構成によれば、ローカルメモリ 98 と
トランスポートパケット処理回路 99 が 1 つの回路（P
ID フィルタ 1~93 は複数）で構成できる。その結
果、回路規模を小さくすることができる。かつ、ローカ
ルメモリ 98 に書き込まれているトランスポートパケッ
ト処理が未処理のデータ量は、PID フィルタリングさ

れた後のデータなので必要最小限であり、このデータ量を判断して、トランスポートパケット処理回路 99 へのクロックの供給の開始および停止を切り替えることで、トランスポートパケット処理回路 99 を動作状態から停止状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要なときにのみトランスポートパケット処理回路 99 を動作させることができる。その結果、低消費電力で動作させることができる。

【0100】また、PID フィルタ後のデータをローカルメモリ 98 に書き込むので、不必要なデータを書き込むアクセスが発生せず、消費電力を低減でき、またローカルメモリ領域を効率的に使用することができる。

【0101】一方、トランスポートパケット処理回路 99 へ供給するクロックの周波数を高低に切り替える構成によると、CPU から任意に必要な動作周波数でトランスポートパケット処理回路 99 を動かすことができる。ローカルメモリに書き込まれているトランスポートパケット処理が未処理のデータ量を判断して、トランスポートパケット処理回路 99 のクロック周波数を切り替えることで、トランスポートパケット処理回路 99 を高速動作状態から低速動作状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要なときにのみトランスポートパケット処理回路 99 を高速動作させることができる。その結果、低消費電力で動作させることができる。

【0102】図 10 は請求項 12、13 に関する本発明の第 4 の実施の形態におけるトランスポートストリーム処理装置の構成を示すブロック図である。第 4 の実施の形態では、バッファメモリ 101～103、セクタ 104、PID フィルタ 105、ローカルメモリ 106、トランスポートパケット処理回路 107、ローカルメモリコントローラ 108、およびクロックコントローラ 109 を備え、さらに図示は省略しているが、図 6 のメモリコントローラ 69 および共通メモリ 70 と同様の機能を有するメモリコントローラおよび共通メモリを備えている。

【0103】複数のトランスポートストリーム A～C を各々バッファリングするバッファメモリ 101～103 は、セクタ 104 で選択されていない間のトランスポートストリームを保持しなければならない。

【0104】セクタ 104 は PID フィルタの入力が 1 系統であるため、バッファメモリ 101～103 の一つを選択して PID フィルタ 105 へデータを出力する。つまり、複数のバッファメモリ 101～103 から出力されるトランスポートストリームを選択してローカルメモリ 106 へ送る。

【0105】PID フィルタ 105 はセクタ 104 の出力データを PID フィルタリングし、不必要なトランスポートパケットは捨て、ローカルメモリ 106 へ出力する。

【0106】ローカルメモリ 106 では、PID フィルタ 105 で PID フィルタリングされたトランスポートストリーム A～C が各々書き込まれていき、188 バイトのトランスポートパケットが構成されるまで書き込まれた後、トランスポートパケット単位でトランスポートパケット処理回路 107 へ出力される。

【0107】トランスポートパケット処理回路 107 は PID フィルタ以外の回路 107B を備えているが、この回路でパケット処理を行い、ローカルメモリ 106 から出力されるトランスポートパケットから必要なデータを取得し、メモリコントローラ（図示せず）へ送る。

【0108】ローカルメモリコントローラ 108 は、複数のバッファメモリ 101～103 とセクタ 104 とローカルメモリ 106 とを制御し、ローカルメモリ 106 のトランスポートパケット出力が複数のバッファメモリ 101～103 のうちのどのバッファメモリから出力されているかをトランスポートパケット処理回路 107 における必要なデータの選択のためにトランスポートパケット処理回路 107 に通知し、ローカルメモリ 106 からトランスポートパケット処理回路 107 へのトランスポートパケットデータの入力開始および入力終了をクロックコントローラ 109 に通知する。

【0109】ローカルメモリコントローラ 108 における複数のバッファメモリ 101～103 とセクタ 104 とローカルメモリ 106 との制御は、以下のように行われる。すなわち、複数のバッファメモリ 101～103 がオーバーフローしないようにセクタ 104 の選択状態を切り替えながら複数のバッファメモリ 101～103 のデータをローカルメモリ 106 の複数のトランスポートストリームに対応した領域毎に分けて書き込む制御が行われる。また、ローカルメモリ 106 に書き込まれたデータがトランスポートパケット単位になったときにローカルメモリ 106 に書き込まれたデータをトランスポートパケット処理回路 107 へ出力し、ローカルメモリ 106 に蓄積されているデータがトランスポートパケット単位より小さくなったときにローカルメモリ 106 に書き込まれたデータのトランスポートパケット処理回路 106 への出力を停止する制御が行われる。

【0110】クロックコントローラ 109 は、トランスポートパケット処理回路 107 への動作クロックの供給を制御する。具体的には、ローカルメモリコントローラ 108 からトランスポートパケット処理回路 106 へのトランスポートパケットデータの入力開始の通知を受けると、クロックのトランスポートパケット処理回路 107 への供給を開始し、トランスポートパケット処理回路 106 へのトランスポートパケットデータの入力終了の通知を受けると、クロックのトランスポートパケット処理回路 107 への供給を停止する。

【0111】つまり、ローカルメモリコントローラ 108 とクロックコントローラ 109 は、以下のような制御

動作を行う。ローカルメモリコントローラ 108 はバッファメモリ 101 ~ 103 がオーバーフローしないようにセクタ 104 を介してバッファメモリ 101 ~ 103 のデータをローカルメモリ 106 に書き込む制御を行う。また、ローカルメモリコントローラ 108 は、ローカルメモリ 106 に書き込まれたデータがトランスポートパケット単位になった時、ローカルメモリ 106 からトランスポートパケット処理回路 107 へトランスポートパケットを出力する制御を行うと同時に、ローカルメモリ 106 のトランスポートパケット出力が複数のバッファメモリ 101 ~ 103 のうちのどのバッファメモリから出力されているかをトランスポートパケット処理回路 107 に通知し、クロックコントローラ 109 へトランスポートパケットがトランスポートパケット処理回路 107 に入力されることを通知する。クロックコントローラ 109 は、トランスポートパケットがトランスポートパケット処理回路 107 に入力されることを知ると（または CPU からトランスポートパケットの入力レートが高いことを通知されると）、トランスポートパケット処理回路 107 にクロックを供給（または周波数を上げる）する。このことでトランスポートパケット処理回路 107 が動作する。このトランスポートパケット単位の動作が継続中に、ローカルメモリ 106 に書き込まれて続けて蓄積されているデータがトランスポートパケット単位以下となった時、ローカルメモリ 106 からトランスポートパケット処理回路 107 へトランスポートパケット単位でのデータの出力を停止する制御を行うと同時に、クロックコントローラ 109 へトランスポートパケット単位でトランスポートパケット処理回路 107 に入力が終了したことを通知する。クロックコントローラ 109 は、トランスポートパケット単位でトランスポートパケット処理回路 107 の入力が終了したことを知ると（または CPU からトランスポートパケットの入力レートが低いことを通知されると）、トランスポートパケット処理回路 107 のクロックを一定時間の後に停止（または周波数を下げる）する。このことでトランスポートパケット処理回路 107 の動作が停止する。

【0112】メモリコントローラ（図示せず）は、トランスポートパケット処理回路 107 で処理されたデータを共通メモリ（図示せず）の決められた領域に書き込む。

【0113】ここで、外部の CPU からの通知を受ける場合について説明する。クロックコントローラ 109 は、外部の CPU から値を設定できるレジスタを有し、外部の CPU からの通知によって値をレジスタに設定する構成になっている。この場合、レジスタの設定値によりクロックの周波数の高低あるいは供給開始、供給停止を制御することができる。ローカルメモリコントローラ 108 からトランスポートパケット処理回路 107 へのトランスポートパケットデータの入力開始の通知を受け

ると、クロックの供給を開始し、またはクロックの周波数を高くし、トランスポートパケットデータの入力終了の通知を受けると、クロックの供給を停止し、またはクロックの周波数を低くする。

【0114】つまり、トランスポートパケット処理回路 107 にトランスポートパケットが入力開始または、入力終了した状況や入力データが高速／低速の状況によりクロックの供給開始、停止あるいは、周波数の上下の制御が行われる。

【0115】なお、ローカルメモリコントローラ 108 からの信号でクロックコントローラ 109 がトランスポートパケット単位でのトランスポートパケット処理回路 107 の入力が開始もしくは終了を知ったときに、クロックの供給開始もしくは停止の代わりに、クロックの周波数を上下させてもよい。

【0116】この実施の形態によれば、ローカルメモリ 106 とトランスポートパケット処理回路 107 が 1 つの回路で構成できる。その結果、回路規模を小さくすることができる。かつ、ローカルメモリ 106 に書き込まれているトランスポートパケット処理が未処理のデータ量は、PID フィルタリングされた後のデータなので必要最小限であり、このデータ量を判断して、トランスポートパケット処理回路 107 へのクロックの供給の開始および停止を切り替えることで、トランスポートパケット処理回路 107 を動作状態から停止状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要となしにのみトランスポートパケット処理回路 107 を動作させることができる。その結果、低消費電力で動作させることができる。

【0117】また、PID フィルタ後のデータをローカルメモリ 106 に書き込むので、不必要なデータを書き込むアクセスが発生せず、消費電力を低減でき、またローカルメモリ領域を効率的に使用することができる。

【0118】一方、トランスポートパケット処理回路 107 へ供給するクロックの周波数を高低に切り替える構成によると、CPU から任意に必要な動作周波数でトランスポートパケット処理回路 107 を動かすことができる。ローカルメモリに書き込まれているトランスポートパケット処理が未処理のデータ量を判断して、トランスポートパケット処理回路 107 のクロック周波数を切り替えることで、トランスポートパケット処理回路 107 を高速動作状態から低速動作状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要となしにのみトランスポートパケット処理回路 107 を高速動作させることができる。その結果、低消費電力で動作させることができる。

【0119】

【発明の効果】本発明のトランスポートストリーム処理装置によれば、複数のトランスポートパケット処理手段と単一の共通メモリと単一のメモリ制御手段を設け、複

数のトランスポートパケット処理手段によって選択したデータを単一のメモリ制御手段を用いて単一の共通メモリに書き込むことができ、データを保存するためのメモリが一つで済み、トランスポートストリーム処理装置の規模を小さくすることができ、データ処理も単純になり、データ処理のためのCPUの負担を軽減できる。

【0120】さらに、特定のトランスポートストリームは選択した画像・音声データと画像・音声以外のサービス等のデータで、特定のトランスポートストリームは選択した画像・音声以外のサービス等のデータのみを共通メモリに書き込みながら、同時に外部出力にも特定のトランスポートストリームの中から必要なデータを出力できる。

【0121】また、複数のトランスポートストリームから選択されたデータと、CPUのプログラム・データを共通メモリに書き込む読み出すことができ、かつ、AVデコーダは共通メモリから直接必要なデータを読み出すことができる。

【0122】また、複数のトランスポートストリームの処理を、ローカルメモリとトランスポートパケット処理回路が1つの回路で実現でき、回路規模を小さくできる。

【0123】また、データ処理を行わない時は、トランスポートパケット処理回路のクロックを停止もしくはクロックの周波数を低くすることができるので、消費電力が低減する。

【0124】また、PIDフィルタ後のデータをローカルメモリに書き込むので、不必要なデータを書き込むアクセスが発生せず、消費電力を低減でき、また、ローカルメモリ領域を効率的に使用することができる。

【図面の簡単な説明】

【図1】トランスポートストリーム・トランスポートパケット・パケット識別子を説明する模式図である。

【図2】本発明の第1の実施の形態におけるトランスポートストリーム処理装置の構成を示すブロック図である。

【図3】トランスポートパケット処理回路21の具体的な構成を示すブロック図である。

【図4】トランスポートパケット処理回路22の具体的な構成を示すブロック図である。

【図5】メモリコントローラ23の具体構成を示すブロック図である。

【図6】本発明の第2の実施の形態におけるトランスポートストリーム処理装置の構成を示すブロック図である。

【図7】セレクト入出力とローカルメモリ出力を示すタイミング図である。

【図8】ローカルメモリマップを示す模式図である。

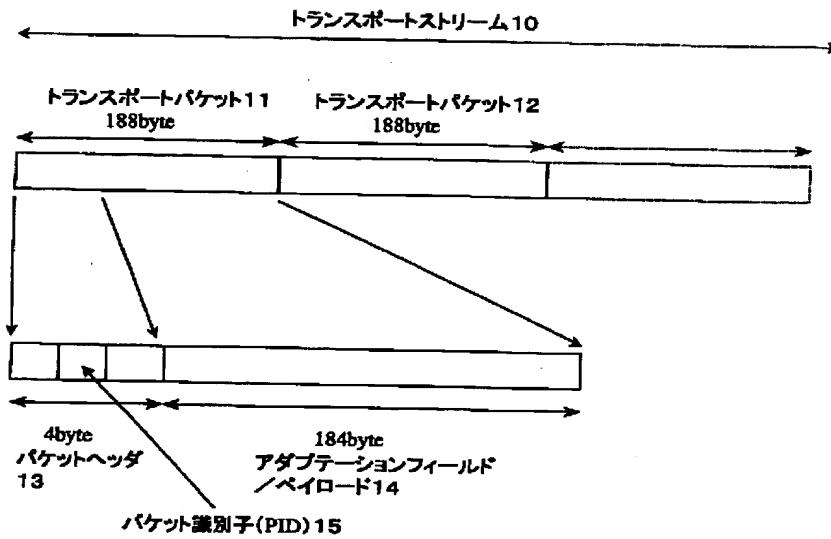
【図9】本発明の第3の実施の形態におけるトランスポートストリーム処理装置の構成を示すブロック図である。

【図10】本発明の第4の実施の形態におけるトランスポートストリーム処理装置の構成を示すブロック図である。

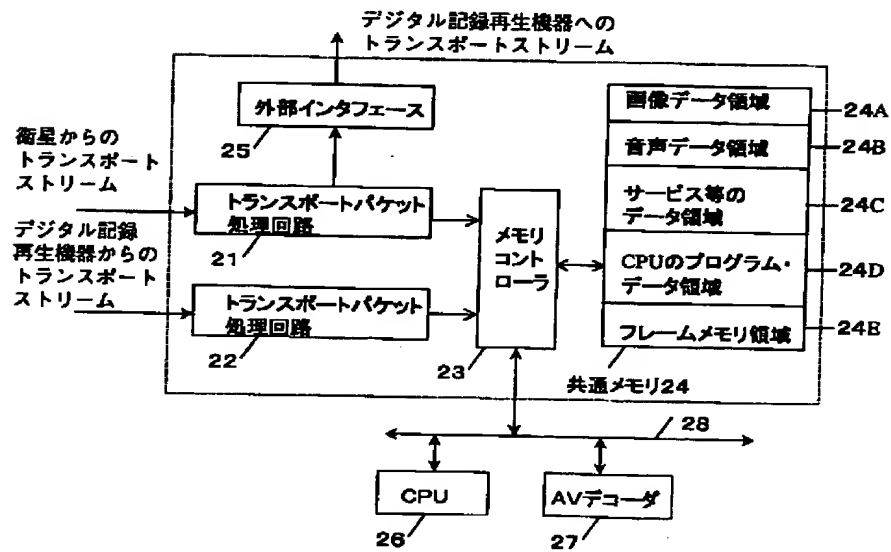
【符号の説明】

- 10 トランスポートストリーム
- 11, 12 トランスポートパケット
- 13 パケットヘッダ
- 14 アダプテーションフィールド/ペイロード
- 15 パケット識別子
- 21, 22 トランスポートパケット処理回路
- 23 メモリコントローラ
- 24 共通メモリ
- 25 外部インタフェース
- 26 CPU
- 27 AVデコーダ
- 31 パケット識別子テーブル
- 32 パケット識別子比較回路
- 33 遅延回路
- 34, 35 選択回路
- 41 パケット識別子テーブル
- 42 パケット識別子比較回路
- 43 遅延回路
- 44 選択回路
- 51, 52 バッファメモリ
- 53 アビトレーション回路
- 54 選択回路
- 61~63 バッファメモリ
- 64 セレクト
- 65 ローカルメモリ
- 66 トランスポートパケット処理回路
- 67 ローカルメモリコントローラ
- 68 クロックコントローラ
- 81 トランスポートパケットAの領域
- 82 トランスポートパケットBの領域
- 83 トランスポートパケットCの領域
- 91~93 PIDフィルタ
- 94~96 バッファメモリ
- 97 セレクト
- 98 ローカルメモリ
- 99 トランスポートパケット処理回路
- 9A ローカルメモリコントローラ
- 9B クロックコントローラ
- 101~103 バッファメモリ
- 104 セレクト
- 105 PIDフィルタ
- 106 ローカルメモリ
- 107 トランスポートパケット処理回路
- 108 ローカルメモリコントローラ
- 109 クロックコントローラ

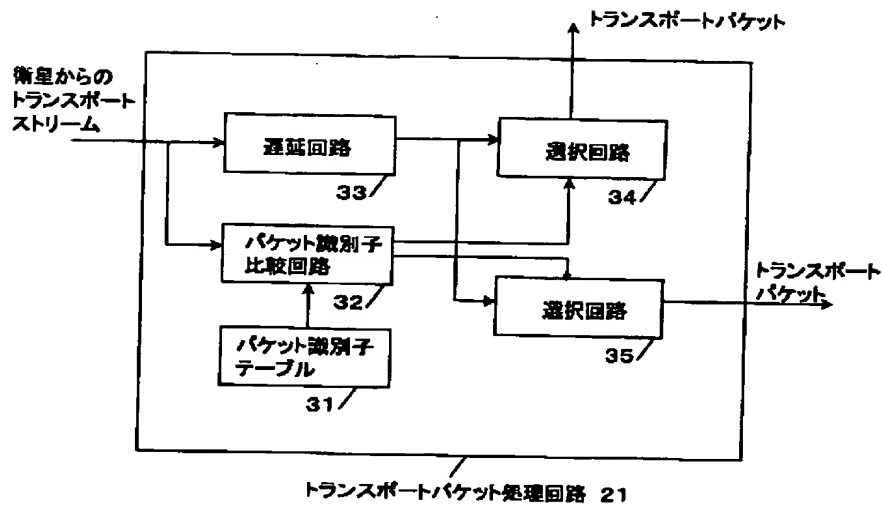
【図 1】



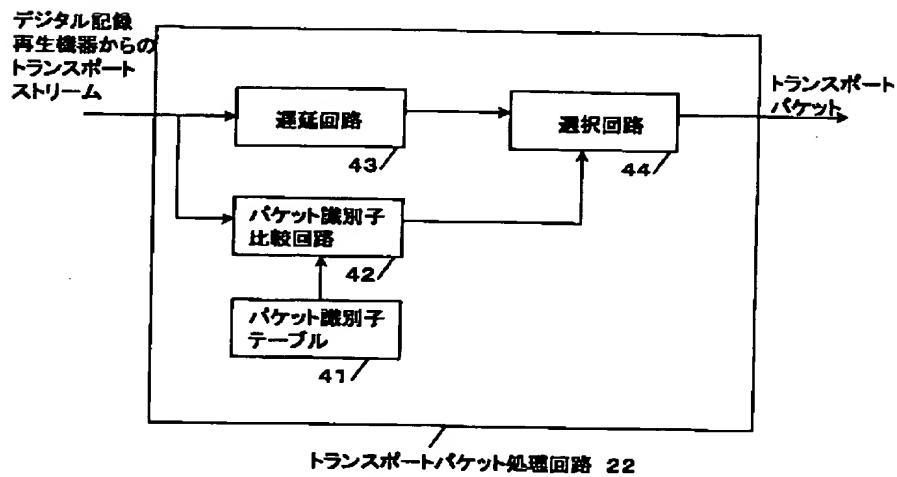
【図 2】



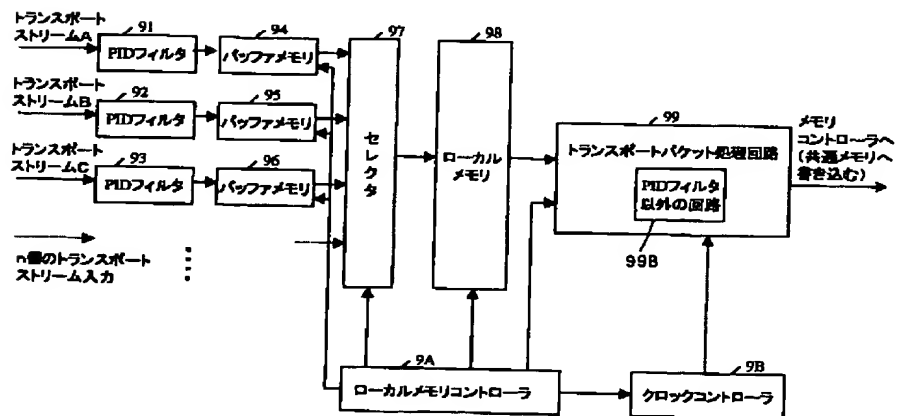
【図 3】



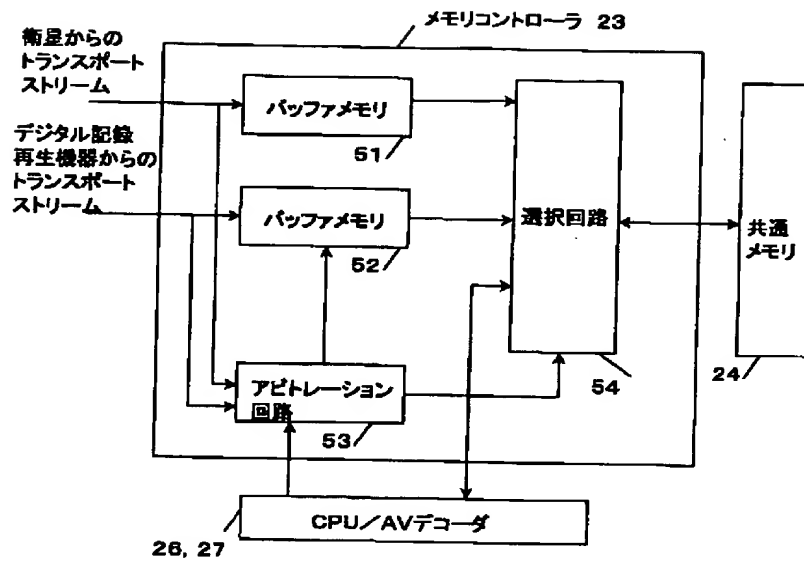
【図 4】



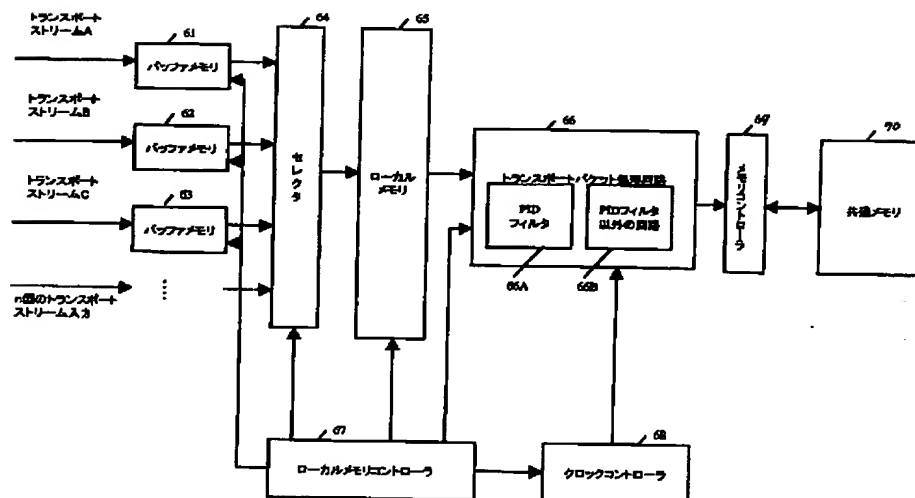
【図 9】



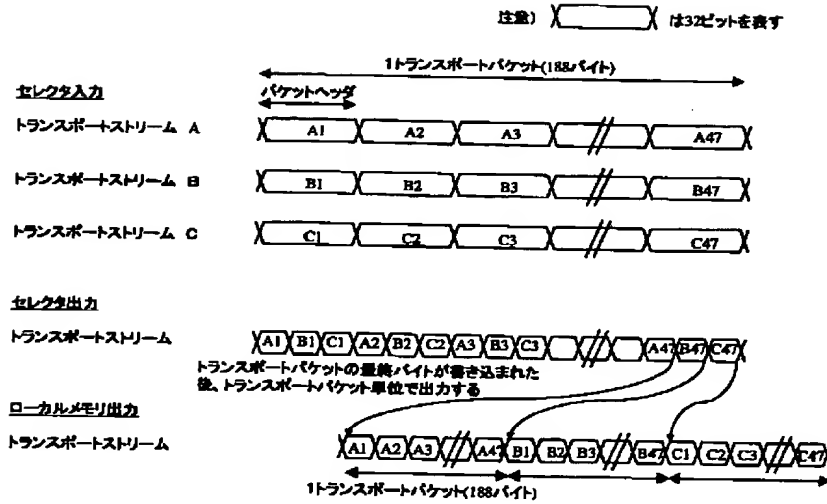
【図 5】



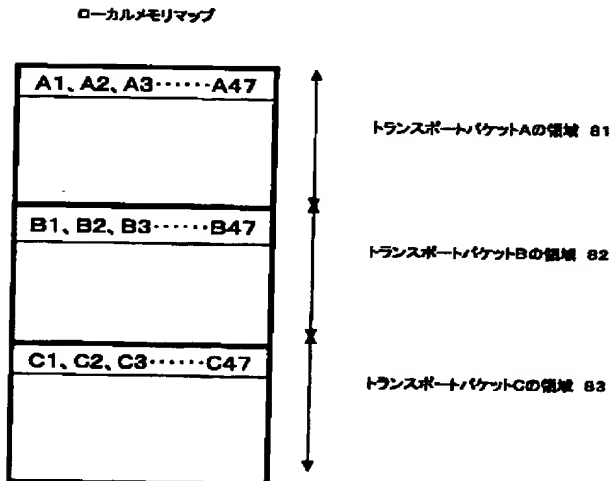
【図 6】



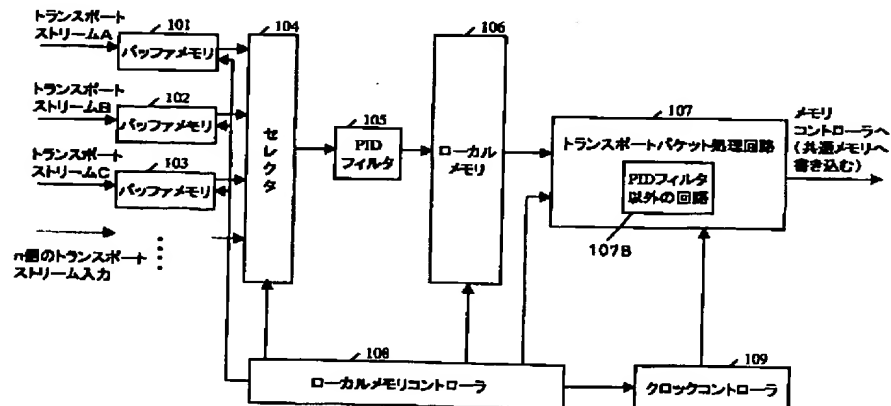
【図 7】



【図 8】



【図 10】



フロントページの続き

(51) Int. Cl. ⁷

識別記号

F I

テーマコード (参考)

7/24

7/13

Z

7/16